

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Osamu AIZAWA**

Serial Number: **Not Yet Assigned**

Filed: **September 24, 2003**

Customer No.: 23850

For: **CIRCUIT SUBSTRATE AND ELECTRONIC EQUIPMENT**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

September 24, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-279304, filed on September 25, 2002.

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



John P. Kong
Reg. No. 40,054

Atty. Docket No.: 031193
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
JPK/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月25日

出 願 番 号
Application Number:

特願2002-279304

[ST.10/C]:

[JP2002-279304]

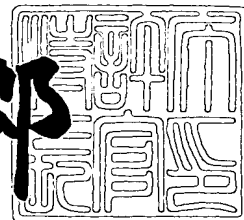
出 願 人
Applicant(s):

富士通株式会社

2003年 1月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3000111

【書類名】 特許願

【整理番号】 0251571

【提出日】 平成14年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00
G06C 1/00

【発明の名称】 回路基板および電子機器

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 相澤 修

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094330

【弁理士】

【氏名又は名称】 山田 正紀

【選任した代理人】

【識別番号】 100109689

【弁理士】

【氏名又は名称】 三上 結

【手数料の表示】

【予納台帳番号】 017961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9912909

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路基板および電子機器

【特許請求の範囲】

【請求項 1】 第一の面に回路素子が搭載された第一の基板、

前記第一の基板が搭載された第二の基板、および

前記回路素子が搭載された前記第一の基板の前記第一の面に対向する第二の面の領域と、前記第一の基板の第二の面に相対する前記第二の基板の面との間に挟まれて配備され、前記第一の基板の第二の面の電源端子と前記第二の基板の面の電源端子間、または／および、前記第一の基板の第二の面のグラウンド端子と前記第二の基板の面のグラウンド端子間に接続されたノイズ低減素子を備えたことを特徴とする回路基板。

【請求項 2】 前記ノイズ低減素子が、チップコンデンサであることを特徴とする請求項 1 記載の回路基板。

【請求項 3】 前記第一の基板の第二の面の信号端子と前記第二の基板の面の信号端子とが、ボール・グリット・アレイ方式で接続されてなるものであることを特徴とする請求項 1 又は 2 記載の回路基板。

【請求項 4】 回路基板が搭載され該回路基板上に構築された電子回路により動作する電子機器において、

前記回路基板が、

第一の面に回路素子が搭載された第一の基板、

前記第一の基板が搭載された第二の基板、および

前記回路素子が搭載された前記第一の基板の前記第一の面に対向する第二の面の領域と、前記第一の基板の第二の面に相対する前記第二の基板の面との間に挟まれて配備され、前記第一の基板の第二の面の電源端子と前記第二の基板の面の電源端子間、または／および、前記第一の基板の第二の面のグラウンド端子と前記第二の基板の面のグラウンド端子間に接続されたノイズ低減素子

を備えたものであることを特徴とする電子機器。

【請求項 5】 前記ノイズ低減素子が、チップコンデンサであることを特徴とする請求項 4 記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、第一の面に回路素子が搭載された第一の基板とその第一の基板が搭載された第二の基板とを有する回路基板、およびその回路基板が搭載されその回路基板上に構築された電子回路により動作する電子機器に関する。

【0002】

【従来の技術】

マザーボードやドーターボード等のボードに搭載される半導体チップの近傍には、電源とグラウンドとの間のノイズを低減するためのノイズ低減素子が設けられる。

【0003】

図1は、マザーボードに半導体チップを搭載する従来の一例を模式的に示す図である。

【0004】

図1に示す従来例では、半導体チップ60を、マザーボード70の表面70aに直に実装するのではなく、まず、マザーボード70とは別に基板80を用意し、その別に用意した基板80の表面80aに、半導体チップ60を実装するとともに実装された半導体チップ60の周囲にノイズ低減素子90を配備する。この基板80の裏面80bには、図示省略したが、多数のパッドが形成されている。また、この裏面80bの、これら各パッドが形成された位置には、半田ボール81がそれぞれ設けられている。一方、図1に、その一部を示すマザーボード70の表面70aにも多数のパッド71が形成されている。また、図1に示すマザーボード70の表面70aには、互いに隣り合うパッド71の間に半田レジスト72が示されている。

【0005】

この図1では、後述の説明で用いる図2とともに、半田ボール81やマザーボード表面のパッド71をわかりやすく示すため、図示する半田ボール81やそのパッド71の数を減らし、一つずつを大きく図示している。また、基板80上の

半導体チップ 6 0 はパッケージされているものであるが、この図 1 や後述の説明で用いる図 2 では、パッケージ部材を取り除いて、基板 8 0 の表面 8 0 a を剥き出しにして示している。

【 0 0 0 6 】

半導体チップ 6 0 が実装された基板 8 0 とマザーボード 7 0 は、半田ボール 8 1 に熱を加えることによって、互いのパッドが半田付けされ、この半田付けにより電氣的に接続される。この図 1 には、このような半田付けを行う前の状態が示されている。

【 0 0 0 7 】

ところで、ノイズ低減素子によるノイズ低減率を高めるには、ノイズ低減素子を半導体チップのできるだけ近くに配備させるか、あるいは、ノイズ低減素子をできるだけ多く配備させればよい。

【 0 0 0 8 】

ここで、ノイズ低減素子をボードに配備させるにあたり、多数のノイズ低減素子を配備させようとする、コストアップやボードの大型化を招き好ましくなく、少数のノイズ低減素子でノイズ低減率をさらに上げることが試みられている。例えば、図 2 に示すようにして、ノイズ低減素子を半導体チップのより近傍に配備させる例がある。

【 0 0 0 9 】

図 2 は、マザーボードに半導体チップを搭載する従来の他の一例を模式的に示す図である。

【 0 0 1 0 】

この図 2 に示す従来例の、図 1 に示す従来例と異なる点は、ノイズ低減素子 9 0 が、半導体チップ 6 0 が実装された基板 8 0 の、表面 8 0 a ではなく裏面 8 0 b に配備されている点にある。このような、ノイズ低減素子 9 0 を基板 8 0 の裏面 8 0 b に配備させる技術は、特許文献 1 にも記載されている。

【 0 0 1 1 】

図 2 に示すノイズ低減素子 9 0 は、基板裏面 8 0 b の、表面 8 0 a に半導体チップ 6 0 が実装された領域 S に配備されている。半導体チップ 6 0 の裏面には、

数千個の接続端子が僅かな間隔で配列されており、このような半導体チップ 6 0 を基板 8 0 に実装するにあたっては、半導体チップ裏面の接続端子と基板表面 8 0 a を電氣的に接続させる。ここで、図 2 に示す従来例の場合、ノイズ低減素子 9 0 は、半導体チップ 6 0 の接続端子の直下に位置しており、図 1 に示す例よりも半導体チップ 6 0 の近傍に配備されている。このため、図 2 に示すノイズ低減素子 9 0 によるノイズ低減率は高いものとなる。

【 0 0 1 2 】

【特許文献 1】

特開 2 0 0 1 - 1 4 4 2 4 6 号公報 （第 3 - 4 頁、第 1 - 2 図）

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、半導体チップの動作速度が向上してくると、ノイズ低減素子の数を増やさずにノイズをさらに低減させることが要求される。

【 0 0 1 4 】

ところで、基板表面 8 0 a に実装された半導体チップ 6 0 には、マザーボード 7 0 を介して電力が供給される。すなわち、マザーボード 7 0 → 半田ボール 8 1 → 基板 8 0 → 半導体チップ 6 0 の経路で電力が供給される。基板裏面 8 0 b に形成された多数のパッドの中には、実装された半導体チップの、電源端子に接続された電源パッドや、グラウンド端子に接続されたグラウンドパッドが含まれている。ここで、この電源パッドと半導体チップ 6 0 とが離れていたり、あるいはグラウンドパッドと半導体チップ 6 0 とが離れていると、半導体チップ 6 0 へ電力を供給するまでに大きなノイズが生じてしまう。図 2 に示す従来例の場合、半導体チップへの電源供給経路が長くなっており、図 1 に示す例よりも半導体チップ 6 0 の近傍にノイズ低減素子 9 0 を配備させることで、ノイズ低減素子 9 0 によるノイズ低減率を高めても、このことだけでは、十分なレベルまでノイズを低減させることができないおそれがある。

【 0 0 1 5 】

本発明は、上記事情に鑑み、十分なレベルまでノイズを低減させた、回路基板および電子機器を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成する本発明のうちの回路基板は、第一の面に回路素子が搭載された第一の基板、

上記第一の基板が搭載された第二の基板、および

上記回路素子が搭載された上記第一の基板の上記第一の面に対向する第二の面の領域と、上記第一の基板の第二の面に相対する上記第二の基板の面との間に挟まれて配備され、上記第一の基板の第二の面の電源端子と上記第二の基板の面の電源端子間、または／および、上記第一の基板の第二の面のグラウンド端子と上記第二の基板の面のグラウンド端子間に接続されたノイズ低減素子を備えたことを特徴とする。

【 0 0 1 7 】

本発明の回路基板によれば、上記ノイズ低減素子は、図 2 に示す従来例と同じく、上記第一の基板の上記第一の面に対向する第二の面の領域と、上記第一の基板の第二の面に相対する上記第二の基板の面との間に挟まれて配備されたものであるため、上記回路素子の近傍に配備されており、上記ノイズ低減素子によるノイズ低減率は高いものとなる。さらに、本発明の回路基板においては、上記ノイズ低減素子の端子は、上記回路素子への電力の供給経路の一部を担っており、上記ノイズ低減素子は上記回路素子の真下に位置するものであるため、上記回路素子への電源供給経路を短くすることができ、上記回路素子へ電力を供給するまでに大きなノイズが発生することを防止する。すなわち、本発明の回路基板は、上記ノイズ低減素子によるノイズ低減率を高いものとした上で、さらに、大きなノイズの発生を防止するものであるため、十分なレベルまでノイズを低減させることができる。

【 0 0 1 8 】

ここで、上記ノイズ低減素子は、チップコンデンサであってもよい。

【 0 0 1 9 】

また、本発明の回路基板において、上記第一の基板の第二の面の信号端子と上記第二の基板の面の信号端子とが、ボール・グリット・アレイ方式で接続されて

なるものであることが好ましい。

【 0 0 2 0 】

ボール・グリット・アレイ方式を採用することで、上記第一の基板と上記第二の基板それぞれの信号端子の配列ピッチを狭くすることができ、電子部品の実装を高密度化することができる。

【 0 0 2 1 】

上記目的を達成する本発明のうちの電子機器は、回路基板が搭載されその回路基板上に構築された電子回路により動作する電子機器において、上記回路基板を、本発明のうちの回路基板と同様な構成にしたことを特徴とする。

【 0 0 2 2 】

そのため、本発明の電子機器も、十分なレベルまでノイズを低減させることができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の電子機器の実施形態としてパーソナルコンピュータを例にあげて説明する。

【 0 0 2 4 】

図 3 は、本発明の電子機器の一実施形態であるパーソナルコンピュータの外観図である。

【 0 0 2 5 】

図 3 に示すパーソナルコンピュータ（PC）10 は、CPU（中央処理装置）、RAM（ランダムアクセスメモリ）、ハードディスク等が内蔵された本体部 11、本体部 11 からの指示により表示画面 12 a 上に画像や文字列を表示する表示部 12、PC 10 に利用者の指示を入力するためのキーボード 13、表示画面 12 a 上の任意の位置を指定することにより、その指定時にその位置に表示されていたアイコン等に応じた指示を入力するマウス 14 を備えており、本発明における電子機器に対応する。

【 0 0 2 6 】

この本体部 11 は、外観上、フレキシブルディスク（FD）、CD-ROM が

装填されるFD装填口11a、CD-ROM装填口11bを有しており、それらの奥には、それらの装填口11a、11bから装填されたフレキシブルディスク(FD)やCD-ROMをドライブしてアクセスするFDドライブやCD-ROMドライブも内蔵されている。

【0027】

また、この本体部11の内部には、マザーボード21が配備されている。本体部11に内蔵されたCPUは、半導体チップを搭載したパッケージであり、このパッケージは、マザーボード21に実装されている。また、この本体部11に内蔵されたRAMは、マザーボード21に設けられたコネクタによって、マザーボード21に装着されている。マザーボード21には、図示省略したが、さらに、QFP(Quad Flat Package)型の半導体パッケージ、トランジスタ、抵抗素子、水晶発振器等の各種の電子部品が実装されている。

【0028】

図4は、図1に示すPCの本体部内部に配備されたマザーボードにCPUのパッケージが実装されている様子を模式的に示す図である。

【0029】

図4には、CPUパッケージ22と、マザーボード21の、そのCPUパッケージ22を実装した部分が示されている。このCPUパッケージ22と、マザーボード21を併せたものが、本発明の回路基板の一実施形態に相当する。また、CPUパッケージ22は本発明における回路素子に対応し、マザーボード21は本発明における第二の基板に対応する。

【0030】

図4に示すCPUパッケージ22は、半導体チップ221と基板222と、多数の半田ボール223と、複数のチップコンデンサ224を有する。このようなCPUパッケージ22は、BGA(Ball Grid Array)パッケージであり、マザーボード21の表面21aに実装されている。この図4では、半導体チップ221を図示するため、パッケージ部材を取り除いた状態のCPUパッケージ22を示している。また、半田ボール223をわかりやすく示すため、図示する半田ボール223の数を減らし、半田ボール223を一つずつ大きく図

示している。図4に示す半導体チップ221は、CPUとしての機能を担うものであって、モールドされていない裸の状態で、基板222の表面222aに実装されている。図示省略したが、この半導体チップ221の裏面には、4000個以上の接続端子が150 μ mピッチで配列されている。

【0031】

図4に示す基板222は、多層構造であり、複数の配線パターンが何層にも形成され、異なる層の配線パターンはビアによって互いに電氣的に接続されている。また、図示省略したが、この基板222の表面222aおよび裏面222bそれぞれには、多数のパッドが形成されており、各パッドには、配線パターンやビアが接続されている。図4に示す半導体チップ221の裏面に配列された4000個以上の接続端子は、基板の表面222aのパッドに電氣的に接続されている。図4に示す基板222は、本発明における第一の基板に対応する。

【0032】

図4に示すCPUパッケージ22が有する多数の半田ボール223それぞれは、基板222の裏面222bの、各パッドが形成された位置に設けられている。また、CPUパッケージ22が有する複数のチップコンデンサ224は、基板の裏面222bの、表面222aに半導体チップ221が実装された領域Sに設けられている。したがって、2つのチップコンデンサ224は、半導体チップ221の近傍に配備されており、ノイズ低減率は高いものとなる。これらのチップコンデンサ224は本発明におけるノイズ低減素子に対応する。この図4では、この領域Sに2つのチップコンデンサ224が示されており、この領域から外れた領域に各半田ボール223が示されている。領域Sに示された2つのチップコンデンサ224と、領域Sのすぐ左側に示された半田ボール223と、領域Sのすぐ右側に示された半田ボール223が、1点鎖線で囲まれている。

【0033】

また、図4に示すマザーボード21の表面21aには、多数のパッド211が形成されているとともに、互いに隣り合うパッド211の間には半田レジスト212が設けられている。この図4では、これらのパッド211をわかりやすく示すため、図示するパッド211の数を減らし、これらのパッド211それぞれを

大きく図示している。また、このマザーボード 2 1 も、基板 2 2 2 と同じく、多層構造であり、複数の配線パターンが何層にも形成され、ビアによって異なる層の配線パターンが互いに電氣的に接続されている。複数の配線パターンには、不図示の電源に接続される電源ラインや、グラウンドレベルに接続されるグラウンドラインが含まれている。

【 0 0 3 4 】

CPU パッケージ 2 2 とマザーボード 2 1 は、CPU パッケージ 2 2 に備えられた半田ボール 2 2 3 に熱を加え、基板の裏面 2 2 2 b に形成されたパッドと、マザーボードの表面 2 1 a に形成されたパッド 2 1 1 を半田付けすることにより電氣的に接続される。この図 4 には、半田付けされた状態の、CPU パッケージ 2 2 とマザーボード 2 1 が示されている。

【 0 0 3 5 】

続いて図 5 を用いて、マザーボード 2 1 と CPU パッケージ 2 2 の電氣的な接続について説明する。

【 0 0 3 6 】

図 5 は、図 4 に示す 1 点鎖線で囲まれた部分を拡大して示す模式図である。

【 0 0 3 7 】

この図 5 には、図 4 において、領域 S に示された 2 つのチップコンデンサ 2 2 4 が示されており、これらのチップコンデンサ 2 2 4 それぞれは、図の左側に電源端子 2 2 4 1 を備えているとともに図の右側にグラウンド端子 2 2 4 2 を備えている。また、図 5 には、図 4 において、領域 S の左側に示された半田ボール 2 2 3 と、領域 S の右側に示された半田ボール 2 2 3 が示されている。さらに、図 5 には、マザーボードの表面 2 1 a に形成されたパッド 2 1 1 や、基板の裏面 2 2 2 b に形成されたパッド 2 2 2 1 も示されている。この図 5 でも、これらのパッド 2 1 1, 2 2 2 1 をわかりやすく示すため、図示するそれぞれのパッド 2 1 1, 2 2 2 1 の数を減らし、これらのパッド 2 1 1, 2 2 2 1 それぞれを一つずつ大きく図示している。なお、マザーボードの表面 2 1 a の各パッド 2 1 1 間や、基板の裏面 2 2 2 b の各パッド 2 2 2 1 間には、半田レジストが設けられており、図 5 では、この半田レジストをハッチングによって表している。またさらに

、図5では、マザーボード21および基板222それぞれの断面構造の一部を模式的に示している。すなわち、この図5には、マザーボード21の断面構造の一部として、マザーボード21の、電源ライン213Vやグラウンドライン213Gが示されているとともに、これら各ライン213V、213Gに接続されたビア214V、214Gも示されている。また、基板222の断面構造の一部として、基板の裏面222bに形成されたパッド2221と半導体チップの電源端子（不図示）とを電氣的に接続するビア2222Vの、パッド2221に接続している部分や、基板裏面222bのパッド2221と半導体チップのグラウンド端子（不図示）とを電氣的に接続するビア2222Gの、パッド2221に接続している部分が示されている。図5に示す各ビア214V、214G、2222V、2222Gは、図5の上下方向に垂直に伸びるものである。

【0038】

ここで、図5に示す、基板のパッド2221のうち、一端が半導体チップの電源端子（不図示）に接続されたビア2222Vの他端が接続されているパッドを電源パッド2221Vと称し、一端が半導体チップのグラウンド端子（不図示）に接続されたビア2222Gの他端が接続されているパッドをグラウンドパッド2221Gと称することにする。基板222の電源パッド2221Vは本発明における第一の基板の電源端子に対応し、基板222のグラウンドパッド2222Gは本発明における第一の基板のグラウンド端子に対応する。図示省略したが、この電源パッド2221Vの真上には半導体チップの電源端子が配備されており、グラウンドパッド2221Gの真上には半導体チップのグラウンド端子が配備されている。したがって、この電源パッド2221Vと半導体チップの電源端子とは、ビア2222Vによって最短距離で接続されており、このグラウンドパッド2221Gと半導体チップのグラウンド端子とは、ビア2222Gによって最短距離で接続されている。また、電源パッド2221Vやグラウンドパッド2221Gは、領域S内に設けられており、電源パッド2221Vには、チップコンデンサ224の電源端子2241が半田31で半田付けされているとともに、グラウンドパッド2221Gには、チップコンデンサ224のグラウンド端子2242が半田32で半田付けされている。さらに、図5に示す半田ボール223が

設けられた、基板のパッド 2 2 2 1 を信号パッド 2 2 2 1 S と称することにする。図 5 に示す基板 2 2 2 の信号パッド 2 2 2 1 S は本発明における第一の基板の信号端子に対応する。

【 0 0 3 9 】

また、図 5 に示す、マザーボードのパッド 2 1 1 のうち、ビア 2 1 4 V を介して電源ライン 2 1 3 V に接続されているパッドを電源パッド 2 1 1 V と称し、ビア 2 1 4 G を介して電源ライン 2 1 3 G に接続されているパッドをグラウンドパッド 2 1 1 G と称することにする。マザーボード 2 1 の電源パッド 2 1 1 V は本発明における第二の基板の電源端子に対応し、マザーボード 2 1 のグラウンドパッド 2 1 1 G は本発明における第二の基板のグラウンド端子に対応する。マザーボードの電源パッド 2 1 1 V は、基板の電源パッド 2 2 2 1 V に対向する位置に設けられており、マザーボードのグラウンドパッド 2 1 1 G は、基板のグラウンドパッド 2 2 2 1 G に対向する位置に設けられている。さらに、基板の信号パッド 2 2 2 1 S に対向する位置に設けられた、マザーボードのパッド 2 1 1 を信号パッド 2 1 1 S と称することにする。マザーボード 2 1 の信号パッド 2 1 1 S は本発明における第二の基板の信号端子に対応する。このマザーボードの信号パッド 2 1 1 S と基板の信号パッド 2 2 2 1 S は、半田ボール 2 2 3 が加熱されたことにより半田付けされている。

【 0 0 4 0 】

領域 S に配備されたチップコンデンサ 2 2 4 それぞれの、基板の電源パッド 2 2 2 1 V に半田付けされた電源端子 2 2 4 1 は、マザーボードの電源パッド 2 1 1 V に半田 3 3 で半田付けされている。一方、領域 S に配備されたチップコンデンサ 2 2 4 の、基板のグラウンドパッド 2 2 2 1 G に半田付けされたグラウンド端子 2 2 4 2 は、マザーボードのグラウンドパッド 2 1 1 G に半田 3 4 で半田付けされている。

【 0 0 4 1 】

以上説明したようなマザーボード 2 1 と CPU パッケージ 2 2 の電氣的な接続によって、基板に搭載された図 4 に示す半導体チップ 2 2 1 への電力の供給経路は、電源側では、マザーボードの電源ライン 2 1 3 V → その電源ライン 2 1 3 V

に接続されたビア 2 1 4 V → マザーボードの電源パッド 2 1 1 V → チップコンデンサの電源端子 2 2 4 1 → 基板の電源パッド 2 2 2 1 V → その電源パッド 2 2 2 1 V に接続されたビア 2 2 2 2 V → 半導体チップの電源端子（不図示）となる。

また、グラウンド側では、半導体チップのグラウンド端子（不図示） → 基板のグラウンドパッド 2 2 2 1 G に接続されたビア 2 2 2 2 G → そのグラウンドパッド 2 2 2 1 G → チップコンデンサのグラウンド端子 2 2 4 2 → マザーボードのグラウンドパッド 2 1 1 G → そのグラウンドパッド 2 1 1 G に接続されたビア 2 1 4 G → マザーボードのグラウンドライン 2 1 3 G となる。したがって、図 5 に示す 2 つのチップコンデンサ 2 2 4 それぞれの電源端子 2 2 4 1 およびグラウンド端子 2 2 4 2 は、図 4 に示す半導体チップ 2 2 1 への電力の供給経路の一部を担っている。上述したように、基板の電源パッド 2 2 2 1 V と半導体チップの電源端子は、ビア 2 2 2 2 V によって最短距離で接続されており、基板のグラウンドパッド 2 2 2 1 G と半導体チップのグラウンド端子も、ビア 2 2 2 2 V によって最短距離で接続されているため、半導体チップ 2 2 1 への電力を供給するまでに大きなノイズが発生することを防止する。

【 0 0 4 2 】

なお、本発明は、本実施形態のように、基板の電源パッド 2 2 2 1 V とマザーボードの電源パッド 2 1 1 V 間、および基板のグラウンドパッド 2 2 2 1 G とマザーボードのグラウンドパッド 2 1 1 G 間の双方にそれぞれチップコンデンサ 2 2 4 を接続したものに限らず、チップコンデンサ 2 2 4 で電源パッド 2 2 2 1 V，2 1 1 V 間のみ、または、グラウンドパッド 2 2 2 1 G，2 1 1 G 間のみを接続したものであってもよい。本実施形態のように、チップコンデンサ 2 2 4 で電源パッド 2 2 2 1 V，2 1 1 V 間およびグラウンドパッド 2 2 2 1 G，2 1 1 G 間の双方を接続したものの方がノイズ低減の効果が高いが、いずれか一方のみを接続したものでも、従来技術と比較してノイズ低減の効果を有する。ここで、電源パッド 2 2 2 1 V，2 1 1 V 間のみをチップコンデンサ 2 2 4 で接続した場合のグラウンドパッド 2 2 2 1 G，2 1 1 G 間は、他の信号パッド間と同様に半田ボールで接続するか、もしくはそのグラウンドパッド間を接続しなくてもよい。グラウンドパッド 2 2 2 1 G，2 1 1 G 間のみをチップコンデンサ 2 2 4 で接続

した場合の電源パッド 2 2 2 1 V, 2 1 1 V 間も同様である。また、基板の電源パッド 2 2 2 1 V と半導体チップの電源端子を結ぶ経路や、基板のグラウンドパッド 2 2 2 1 G と半導体チップのグラウンド端子を結ぶ経路は、本実施形態のように 1 つのビアによって形成することが、これらの経路長を最短にすることができ好ましいが、これらの経路長をなるべく短く抑えるようにすれば、複数のビアと、配線パターンの一部とを用いて形成してもよい。例えば、これらの経路長をなるべく短く抑える基準として、これらの経路を、基板 2 2 2 の、半導体チップ 2 2 1 が搭載された表面領域と、図 5 に示す領域 S とで挟まれた部分内に収めることがあげられる。

【 0 0 4 3 】

以上説明した本発明の電子機器の実施形態では、P C を例にあげて説明したが、本発明の電子機器は、ワークステーションやサーバマシン等、広く一般の電子機器に適用することができる。また、本発明の回路基板の実施形態では、C P U パッケージをマザーボードに実装した例を用いて説明したが、本発明の回路基板は、制御系の半導体チップを搭載した基板をマザーボード等の各種ボードに搭載する場合等にも適用することができる。さらに、本実施形態における C P U パッケージは B G A パッケージであったが、B G A パッケージに限らず、P G A (P i n G r i d A r r a y) パッケージや L G A (L a n d G r i d A r r a y) パッケージであってもよい。またさらに、本実施形態では、ノイズを低減する素子としてチップコンデンサを用いたが、ノイズ低減素子は、チップコンデンサに限らず、チップコイルあるいはバリスタ等であってもよい。

【 0 0 4 4 】

以下、本発明の各種態様を付記する。

【 0 0 4 5 】

(付記 1) 第一の面に回路素子が搭載された第一の基板、

前記第一の基板が搭載された第二の基板、および

前記回路素子が搭載された前記第一の基板の前記第一の面に対向する第二の面の領域と、前記第一の基板の第二の面に相対する前記第二の基板の面との間に挟まれて配備され、前記第一の基板の第二の面の電源端子と前記第二の基板の面の

電源端子間、または／および、前記第一の基板の第二の面のグラウンド端子と前記第二の基板の面のグラウンド端子間に接続されたノイズ低減素子を備えたことを特徴とする回路基板。

【 0 0 4 6 】

(付記 2) 前記ノイズ低減素子が、チップコンデンサであることを特徴とする付記 1 記載の回路基板。

【 0 0 4 7 】

(付記 3) 前記第一の基板の第二の面の信号端子と前記第二の基板の面の信号端子とが、ボール・グリット・アレイ方式で接続されてなるものであることを特徴とする付記 1 又は 2 記載の回路基板。

【 0 0 4 8 】

(付記 4) 回路基板が搭載され該回路基板上に構築された電子回路により動作する電子機器において、

前記回路基板が、

第一の面に回路素子が搭載された第一の基板、

前記第一の基板が搭載された第二の基板、および

前記回路素子が搭載された前記第一の基板の前記第一の面に対向する第二の面の領域と、前記第一の基板の第二の面に相對する前記第二の基板の面との間に挟まれて配備され、前記第一の基板の第二の面の電源端子と前記第二の基板の面の電源端子間、または／および、前記第一の基板の第二の面のグラウンド端子と前記第二の基板の面のグラウンド端子間に接続されたノイズ低減素子

を備えたものであることを特徴とする電子機器。

【 0 0 4 9 】

(付記 5) 前記ノイズ低減素子が、チップコンデンサであることを特徴とする付記 4 記載の電子機器。

【 0 0 5 0 】

(付記 6) 前記第一の基板の第二の面の信号端子と前記第二の基板の面の信号端子とが、ボール・グリット・アレイ方式で接続されてなるものであることを特徴とする付記 4 又は 5 記載の電子機器。

【 0 0 5 1 】

【発明の効果】

以上、説明したように、本発明によれば、十分なレベルまでノイズを低減させた、回路基板および電子機器を提供することができる。

【図面の簡単な説明】

【図 1】

マザーボードに半導体チップを搭載する従来の一例を示す図である。

【図 2】

マザーボードに半導体チップを搭載する従来、他の一例を示す図である。

【図 3】

本発明の電子機器の一実施形態であるパーソナルコンピュータの外観図である。

【図 4】

図 1 に示す P C の本体部内部に配備されたマザーボードに C P U のパッケージが実装されている様子を模式的に示す図である。

【図 5】

図 4 に示す回路基板の、図 4 に示す 1 点鎖線で囲まれた部分を拡大して示す図である。

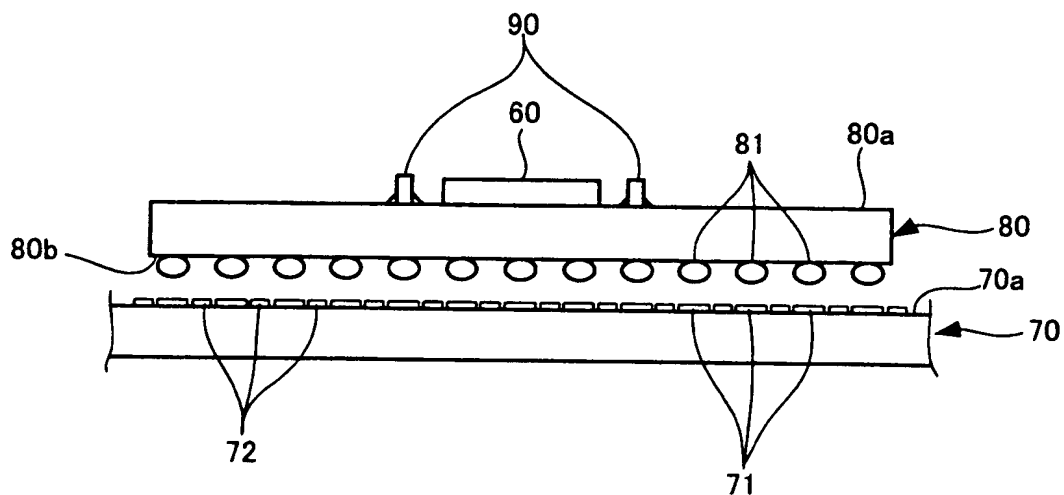
【符号の説明】

- 1 0 パーソナルコンピュータ
- 1 1 本体部
- 1 2 表示部
- 1 3 キーボード
- 1 4 マウス
- 2 1 マザーボード
- 2 1 a 表面
- 2 1 1 パッド
- 2 1 1 V 電源パッド
- 2 1 1 G グ라운드パッド

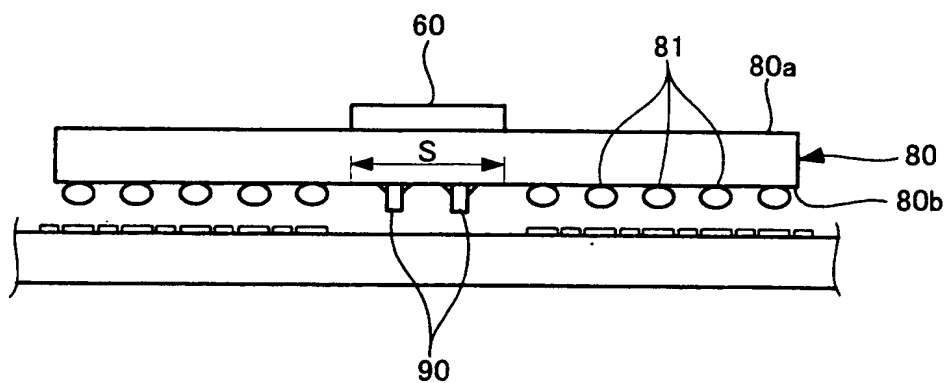
- 2 1 1 S 信号パッド
- 2 1 2 半田レジスト
- 2 2 CPUパッケージ
- 2 2 1 半導体チップ
- 2 2 2 基板
- 2 2 2 a 表面
- 2 2 2 b 裏面
- 2 2 2 1 パッド
- 2 2 2 1 V 電源パッド
- 2 2 2 1 G グラウンドパッド
- 2 2 2 1 S 信号パッド
- 2 2 3 半田ボール
- 2 2 4 チップコンデンサ
- 2 2 4 1 電源端子
- 2 2 4 2 グラウンド端子

【書類名】 図面

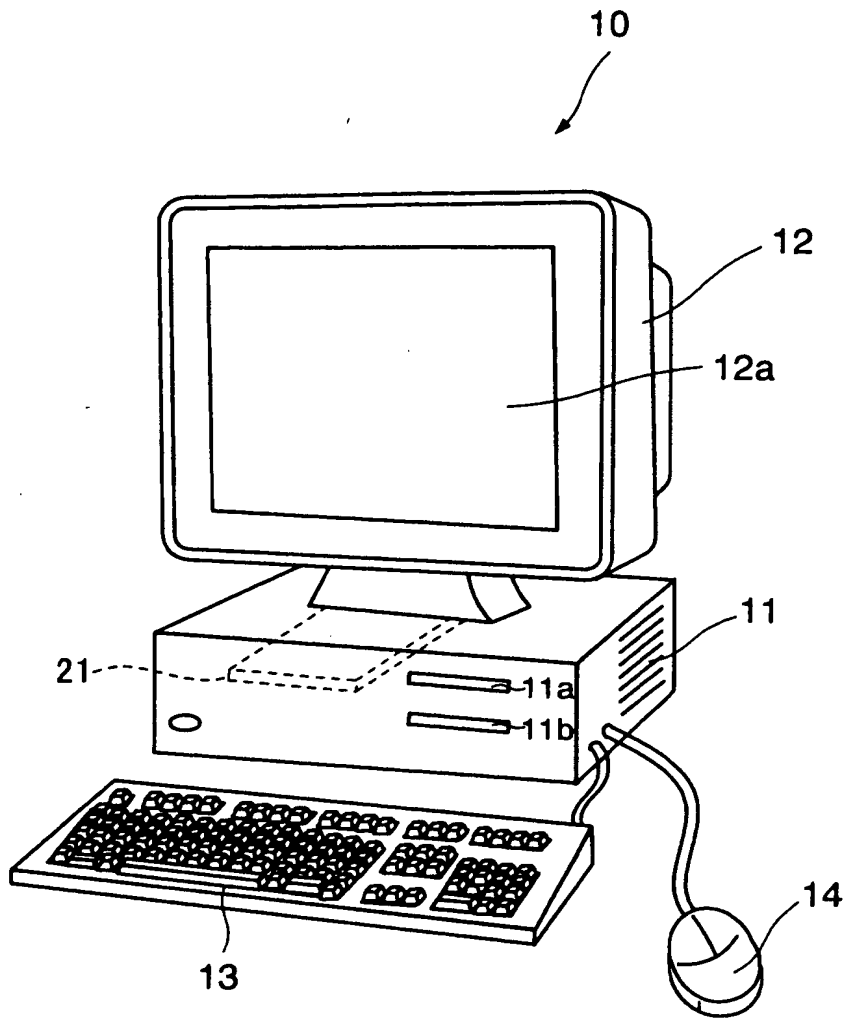
【図 1】



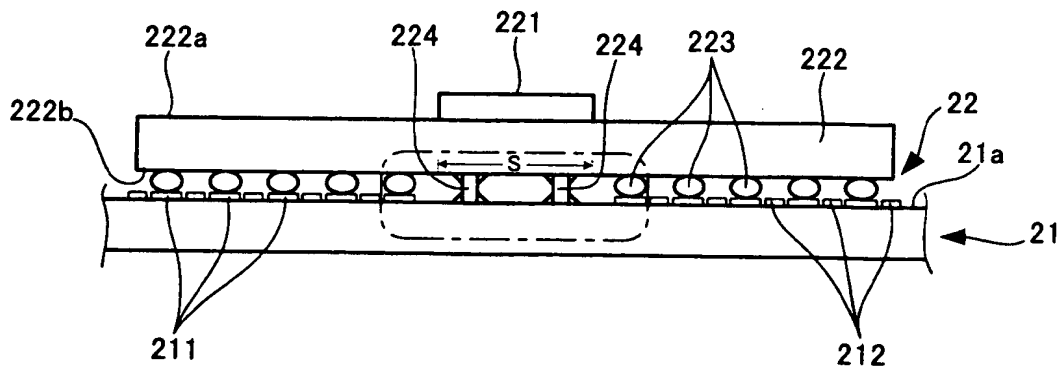
【図 2】



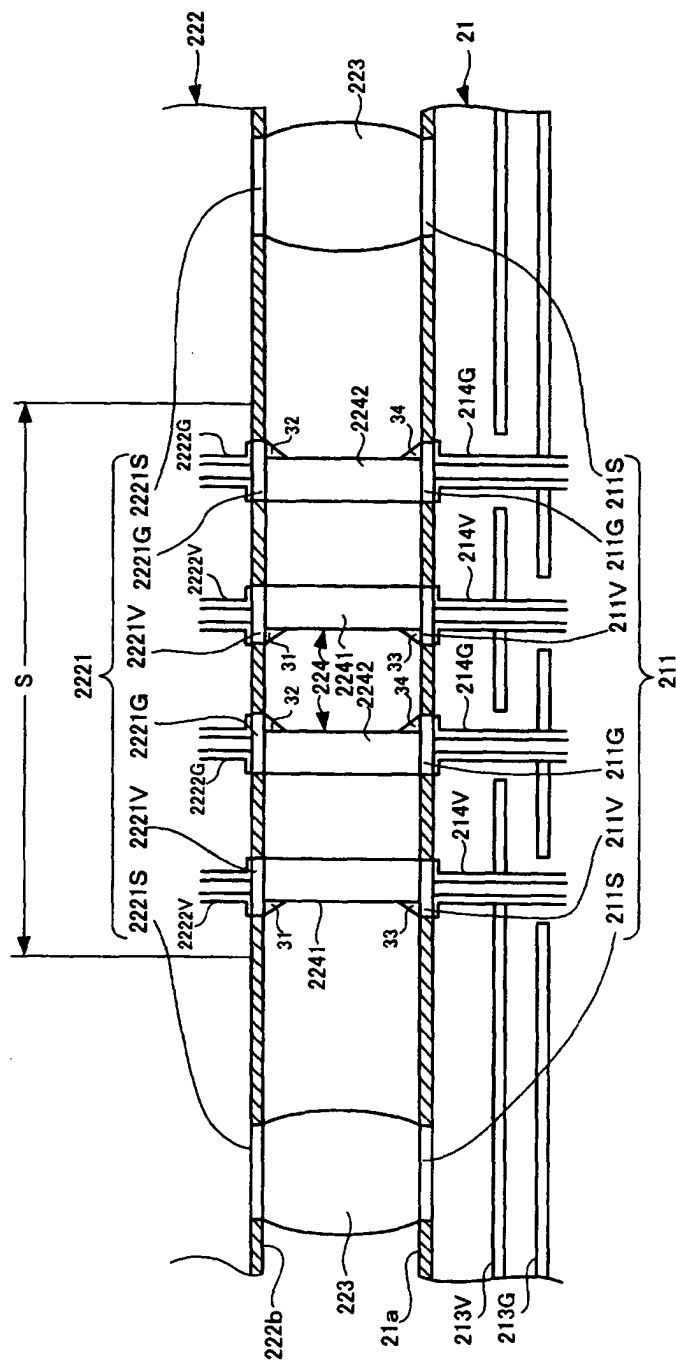
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 第一の面に回路素子が搭載された第一の基板とその第一の基板が搭載された第二の基板とを有する回路基板、およびその回路基板が搭載されその回路基板上に構築された電子回路により動作する電子機器に関し、十分なレベルまでノイズを低減させる。

【解決手段】 回路素子 2 2 1 が搭載された第一の基板 2 2 2 の前記第一の面 2 2 2 a に対向する第二の面 2 2 2 b の領域と、第一の基板 2 2 2 の第二の面 2 2 2 b に相対する第二の基板 2 1 の面 2 1 a との間に挟まれて配備され、第一の基板 2 2 2 の第二の面 2 2 2 b の電源端子 2 2 2 1 V と第二の基板 2 1 の面 2 1 a の電源端子 2 1 1 V 間、または／および、第一の基板 2 2 2 の第二の面 2 2 2 b のグラウンド端子 2 2 2 1 G と第二の基板 2 1 の面 2 1 a のグラウンド端子 2 1 1 G 間に接続されたノイズ低減素子 2 2 4 を備える。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社